**上海市集成电路高技能人才培养基地**

**IC系统级设计仿真**

**培训招生简章**

**一、培训对象**  
1、从事集成电路设计的工作的人员；

1. 从事集成电路验证的工作的人员；
2. 从事FPGA设计及Silicon测试的工作人员。

**二、培训目标**

1. 熟练掌握目前主流的验证语言SystemVerilog在验证中的使用；
2. 熟练掌握验证方法学UVM；
3. 能够应用SV独立的搭建层次化的验证平台；
4. 能够独立采用UVM搭建完整的模块级验证平台；
5. 能够结合验证方法学、SV进行实例操作完整掌握熟悉设计规格、制定验证方案、完成验证平台搭建、开发测试用例、验证执行、覆盖率验收；
6. 参考业界一流公司的验证流程，能完成相关的文档并逐一答辩通过。

**三、培训特色**

* 注重理论和实践的结合，着重实训技能,结合完备的基础理论培训，参照一线公司的验证流程来指导实训为特色
* 验证方案的制订：包含设计规格的整理和肢解，验证方法和平台的选择，包括激励的产生、参考模型的设计、随机策略、自比对策略、覆盖率保证和验证复杂度以及开发进度的保障等等。需要验证人员准备相关的文档进行答辩，来培养独立承担复杂模块验证的能力。
* 验证覆盖率的收敛：包含产品规格和测试用例的全覆盖，还包括功能覆盖率，代码覆盖率，让学员按照严格的流程来通过验证验收。

**四、 培训费用**

1、培训费2500元。包含教材费、场地费、线上平台、实训账号等。

**五、培训计划**

1、线下培训总课时：80个课时（线下课程为主，线上课程为辅），持续2-3个月（课时按实际课程进度进行调整）

2、培训时间：每周末一天（国家法定假日另行安排）

3、培训地点：上海硅知识产权交易中心（宜山路333号汇鑫国际大厦1号楼1706室）

4、开班形式：小班授课，保证每人1台PC；全流程开通vnc登录账号，任何时间随时登录进行工具学习和实战操作，授课老师提供技术支持与答疑

5、开班时间：招满即开

**六、培训师资**

本项目培训师资人员均是具有10年以上专精于集成电路验证的资深专家，拥有对复杂Soc的验证经验、项目管理与带队经验。

* Jimmy Peng：具有十年验证相关工作经验，项目规模在千万门以上,工艺14/16nm/20nm。产品涉及手机，无线通信及多媒体终端的核心芯片。涉及到的IP包括：WCDMA、GSM、TD、Wifi、USB2、USB3、MIPI、 CSI/DSI、CE、SD、SDIO、PCIE、EMMC、音视频核心算法IP；以及在SOC level的低功耗和POWER仿真。
* Will Zhang：具有十年左右的验证工作经验，精通各种主流验证技术和方法学，带领团队进行ip级和soc级的验证工作，同时负责验证流程的维护和开发。
* Michael He：项目规模在千万门以上，工艺40/28nm。产品涵盖基站基带芯片和Wi-Fi移动芯片等。涉及到的集体包括：multi-layer bus matix，多核ARM CPU，ddr3等，以及低功耗验证。

**七、课程大纲**

1. SystemVerilog语言基础
2. 理论教学内容
3. 学习和掌握数据类型
4. 内嵌的基本数据类型
5. 大小固定的数组
6. 动态数组（Dynamic Arrays）
7. 能够正确理解和掌握队列（Queue）
8. 枚举类型
9. 字符的使用
10. 常数
11. 创建新的类型和数据结构
12. 过程语句和程式
13. Procedure Statements 介绍
14. 理解和掌握任务
15. 理解和掌握函数
16. 时间的定义和使用
17. 程式的参数传递
18. SystemVerilog的接口介绍
19. 技能实训内容
20. SV基本数据类型的定义、赋值、循环打印
21. 数组的声明、赋值、打印，包括单维、多维数组
22. 简单加法器的Task实现、并写简单的TB来调试task
23. 函数的实现，与调试
24. 调试Task，函数的参数传递
25. 为Router搭建简单的TB并用interface实现对DUT的封装
26. SystemVerilog TB的架构
27. 基础理论教学
28. 层次化验证环境的概念介绍
29. TB对DUT的封装
30. Interface的构建
31. Interface的驱动和采样
32. 数据结构的定义
33. 随机数与数据生成的管理
34. 激励的生成初步介绍
35. 激励的时序管理
36. TB顶层的基本功能

（10）有四个接口的ATM Router实例

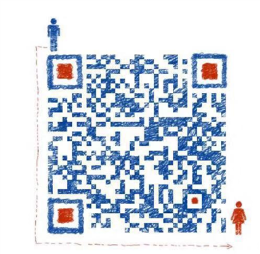
1. 技能实训内容
2. 有四个接口的ATM Router 实例的调试
3. 开发TB对DUT进行封装
4. 定义数据接口
5. 实现接口、生成激励
6. 管理TB的时序
7. UVM 验证方法学
8. 理论教学内容
9. UVM验证方法学的介绍
10. UVM验证环境各个部件的要点
11. UVM Driver要点
12. UVM Sequencer要点
13. UVM Monitor要点
14. UVM Vif 要点
15. UVM phase 要点
16. UVM TLM 接口要点
17. UVM RAL要点
18. UVM 环境的集成
19. Router的典型UVM验证环境应用实例分析
20. 技能实训内容
21. 为Router开发完整的UVM验证环境
22. 实战开发所有的UVM部件Driver、Monitor、Sequencer
23. 定义TLM 接口、Vif
24. 完成环境的集成
25. 调试
26. UVM验证环境实训
27. 理论教学内容
28. 验证环境的架构设
29. UVM Transaction的定义和实现
30. TLM 通信，put、get、analysis port
31. 能够掌握UVM Driver的实现方法
32. 能够掌握UVM Sequencer的实现方法
33. 能够掌握UVM Monitor的实现方法
34. 能够掌握UVM Agents的实现方法
35. 通用Router设计要点
36. 通用I2C设计要点
37. 技能实训内容
38. 为Router开发完整的UVM验证环境
39. 实战开发所有的UVM部件Driver、Monitor、Sequencer
40. 定义TLM 接口、Vif
41. 完成环境的集成
42. 调试

**九、联系方式**

联系人：Gina Hong/021-61154610-8801 张勇021-61154610-8850

邮箱：[gina.hong@ssipex.com](mailto:gina.hong@ssipex.com) yong.zhang@ssipex.com

微信：

2019.11